This Page Is Inserted by IFW Operations and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents will not correct images, please do not report the images to the Image Problem Mailbox.

JA 0112348 JUL 1983

(54) SEMICONDUCTOR DEVICE

~(11) 58-112348 (A) (43) 4.7.1983 (19) JP

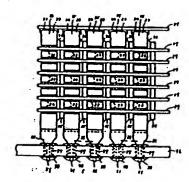
(3. (21) Appl. No. 56-211715 (22) 25.12.1981

(71) FUJITSU K.K. (72) NOBUHIKO MIZUO

(51) Int. Cl. H01L23/12, H01L23/48

PURPOSE: To obtain a chip carrier mounted semiconductor device having a structure that the device can be loaded vertically to a wiring substrate.

CONSTITUTION in a structure wherein the mount density is most enhanced, semiconductor memory devices 35 are erected and arranged on the wiring substrate in a state that each is contacted on the upper and lower surfaces, and the pin external conductive terminal 21 of each semiconductor memory device 35 is inserted into a fixed through hole 37 in the wiring substrate 36, then soldered and fixed. On a coat external conductive terminal 22 the common signal terminal in each memory device 35, a series of common signal wires constituted respectively of conductor 39 are soldered at every row. Two pieces of the pin external conductive terminal are provided, but any number of pieces are available, as required. Or, one, which is bar form and formed by burying one end in the carrier, can be also used. While, the cap can be formed of ceramics. Further, it is applicable to a metallic package and a plastic package.



(B) 日本国特許庁 (JP)

①特许出願公開

❶ 公開特許公報 (A)

昭58—112348

Mint. Cl. H 01 L 23/12 ₹ 3/48

なったって マカル · :371...

Carrest Program

建电子运用 医中央性

識別記号

庁内整理番号 7357-5F 7357-5F

砂公開 昭和58年(1983)7月4日

発明の数 1 審查請求 未請求

(全 4 頁)

..... I

川崎市中原区上小田中1015番地 富士通株式会社内

0特 顧 昭56—211715 0出 願 昭56(1981)12月25日 9光 明 者 水尾允彦

砂出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

545.611 2016年,原本委員公安部(2)

砂代 理 人 弁理士 松岡宏四郎

V - 1 N - 17 2 2 9 1. 現界の名称

· 7. 美導体装置。

三世年体ナップが、一外部保証にピン状の外部等 ・電場子を有した。他の外部側面に被源状の外部導致 **海子を有するナップ・キャリアに実装されてせる** 」ことを特徴とする単導体模型。

1:発明の評価な製料。

· W. 异明 O技管分野

本発見は単導体ナップポテップ・キャリアに共 。長された崇楽体質量に係り、特に早等体ナップと **ルルで単導体がモリステがチップ・キャリアに実施 海する。**人は死す・

N: 技術の背景。

3. 対気機がステム等の大装装化に作い、設計算機 アスカムに搭載される半導体メモリス子等の半導 R質質與(, I,C.)素子の数は非常に膨大とせっ **身に入り、このととはシステムの大型化を包含。** それに作ってシステム内の配盤長が長くなり計算 運賃の低下を招く。そこで、計算機システム等に 対する場場体IC男子の契義密度を実めシステム の大量化を抑える手段として提供されたのが、ナ ァブ・キャリア共装構造の単導体IC袋堂である。 (e) 使来技物と問題点

発朱から用いられているテップ・キャリアの中 で、乗り突使を繋が高められる構造にサードレス ・ナップ・キャリアがある。私1日はキードレス ・ナップ・キャリアに実践された半導体IC袋蔵 に於ける一例の新田園行及び鹿田園村を示したも のである。そして登録に於て1はモラミック定義、 2はセラミック枠、3は共国に全(At)めっき 等が着されたナップ・ステージ、4枚表出版にAs やっま等が施されている方面配慮、 5 は方面配慮 からそれぞれ延出される も めっき 特が地 されてい る外帯記載、6以外部記載がそれぞれ度器に提出 畑子、『はキャップろう付け用メタライズ層、8 は全具キャップ、9は娘(Ag)企会等のろうお。

.10以半導体ICナップ、11はポンティング・ 間でメッド、12はアルミニクム(AL)サロボンデ 2007イング・タイナ、13tt会(A #)/グリコン (81)層を示している。

とのような制造を有する従来のテップ・キャリ アに実装された単導体IC装置は、計算機ジステ **人等に配設される配差温板に対して建設を下にし** : 广 ・ て水平に(平面)実装される。その実施状態を示 一・・・・ したのが終る国で、蜀中16は前記テップ・キャ リア実装構造の単導体IC装置、1 5はセラミノ ス皮るいはブラスナノスにより形成された配盤者。 表、1.6は配量ペメーン、6は貧配外事場子、17 は平田等のろう針を供わしている。

> 上記のように従来のナップ・キャリア実装構造 の半導体『C袋僧に共ては記録基板に対して予報 突張がをされるために、ナップ・キャリアの千日 後によって実験密度が前膜され更に実験密度を再 めるととができせかった。

仏 森県の日的

建筑和1889年198

医性性性性性性性

- -

本発明は上記問題点に能多、配慮基準に対して

ブ・キャリア23上に何えば会属キャップ28水 対策されてなっている。セン典記ナップ・キャリ ア28に於けるピン状外部導電短子21は、漁営 構造の内部配慮26mからナップ・キャリア23 の一貫面に延出された外部配置まで。上に鉄/ニ ッケル合金等油水の細子材料からたる何えばピン 状打抜き 加工片が嵌ろうえ 非等によりろう付けさ れて形成され、又被欝状外部導電網子ままは内部 配置266からナップ・ヤャリア230首配以外 の三側筒に導出された外部配置まする上に会めっ 「きゃか地されて形成される。そして半年休メモリ ・ティアともは油気研究のティブ・スポージ29 - 上に金/シリコン合金30年を介してろう付ける "れ、例えば鮮半導体メモリ・テップでものテップ ^だ•『センクト娘子等ナップ報客の信号が見されるパ アド加子では、とピン状外国は気頭子に接続する ・内部記憶でもぁとがアルミニタス等のポンディン 「ア・ワイヤ31により多数される。又入出力増子、 "毛依何子与各メモリ・ナップに対して共通に配額 "されるペプトル子316と被談状外部海電場子22 美国に鉄着するととが可能を構造を有する。 ・キャリア共談の中部体装置を提供し、 を向上せしめるととを目的とする。

(4) 発明の構成

本発明は単導体袋質に於て、単導体ナップが、 一外部側面にピン状の導き畑子を有し他の外部側 面に被算状の再写裙子を有するテップ・キャリア 化実典されてなることを特象とする。

(1) 発明の異施例

以下本発明を、半導体メモリ袋量に於ける一束 **角質について、ある器に示す。上面器们。無面閣(4)。** A-A'矢視断面回行。下面即は、及び其4回に 示す異数方法に於ける一葉施供の上面関係。側面 図何を用いて詳細に世界する。

本発明を適用した半導体メモリ鉄能は、何えば 吊る数付。何。付。何に示すよう、一貫道に何え げえ(本)のピン状外部通常維子21が配役され、 他の三側面に所望数の複談状外部導電炉子22が 配設されたセラミッグ・ナップ・セャリアで3内 に単端体メモリ・ナップ24が実長され、はナッ

に接続する内部配款2 6 8 とがポンディング・ワ イヤるスにより装分される。本発表の何点に於て は、流常とのようにピン状外部導電原子21をナ ップ・セレクト増子等各メモリ級量に固有を保分 伸子とし、 被膜 秋外郎 神覚 畑子 2.2 を入出力 増子 求るいは 写原第子等もメモリ 装能に対する共通会 サの知子とする。 せして上記のように半導体メモ リ・テップ24が突襲されたテップ・キャリア2: 上面に形成されている油常構造の対止枠33上に 伯/錫仓会等のろう付3 4 を介して会員キャップ 25が気管にろう付けされてなっている。

本発明の網点を有する単導体装置は計単導体を 糞に配設されたピン状外部神道は子を介して配(基板上に立てて共気することができる。

第4顆は貧配兵均別に示した半導体メモリ鉄 の実験例を表示したもので、歴中21はピン状況 那得难知子(勤有证为知子)。 2 2 亿 被助状外的 導化地子(共通名与母子)、23はセラミック・ ナップ・キャリア、25は金属キャップ、34円 はろう材、35位単導体メモリ典量、36な6

4 B # 異義問意に於て 「国地の至々が高し 立て支べられ、64 外部導電機子2.1.3 スルーホール37K そされる。 さしても 日号親子である祝賞: からにそれぞれ半点: 誰が牛田付けされる。 なか上記実施例にお 2(本)股份应求、自 さじつかんせい。又は で一度水中・サア内化: のでも乗い。又セナァ も良い。更に又本発明に

7. 26 a A C Z 6 b 121 6 红外等配差。 2 8 红颜? テーツ、30日金/シリコ b はべ。ド畑子、3.2 は # 3.3 位别走神、3.4位5.5 **节获量、3.6位配额监视、** 3 8 江平田、 3 9 江海麓长:

代居人 弁定士

HBM658-112348 (3)

まて、半導体ナップが、で 電域子を有し他の外部機 有するナップ・キャリア の数とする。

: デモリ級就に受ける一美 : 京宇上面回付、 無面回向。 下面回付、 及び割4回に 一製賃貸の上面回付。 側面

体がデモリ級数は、例えば に示すよう、一側面に例え :部場質様子21が記録され、)被数状外部場質障子22が ア・ナップ・セッサア23円 ップ24が実役され、はチッ

とも かはンディング・フ される。本務県の製金に於て ピン状外部選集等子2.1をナ 各名メモリ狭葉に国有な保サ 部属を増子2.2を入出力増子 |各メモリ英葉に対する共造信 こして上記のように半導体メモ も集されたナップ・ディリア23 へる連常構造の対土許3°3°上に、 う材まるを介して金属ヤーップ HH されてもっている。か・ 有する受得体質量紅錐半導体量 ン状外部導電券子を介じて配置 漢することができる。 これ 其值为细子¹)气·2·2 红银 字、T2 3 世 展 年

ナノス等からたる記録基本、37 3 8 以平田、3 9 以連続を扱わ

「日間属・田は乗り突旋田東を高めた突旋例で、 「日間に 日間に 日間に 日間に 日間でか至いが振し合う状理で配置 基本3 6 上に では、 下面でか至いが振し合う状理で配置 基本3 6 上に 立て 並べられ、 各甲場体メモリ鉄度 3 5 のビン状 があるま場子 2 1 が配置 基本3 6 に 決ける所定の スペーネール 3 7 に さし込まれ 早田 付けされて 国 足される。 せして 6 メモリ 鉄度 3 5 に 決ける 共造 位 9 場子 である 被損状外部 軍 場子 2 2 上に は 6 列係に せれぞれ 4 場 3 9 からな る一連の共通信が 量が 早田 付けされる。

なか上記页第例に共てはピン状外部等電報子を 2 (本)設けたが、該場子は必要に応じ何本でも さしつかえない。又数ピン状外部等電場子は神状 で一類がキャリア内に組め込まれて形成されたも のでも良いに又キャップはセラミックスであって も良い。足に又本是男は金属ペッケージ。プラス ナックペッケージにも適用するととができる。

ブ、26 a 及び26 b は内部配額、27 a 及び27 b は外部配額、28は扱うう、29はテップ・ステージ、30は全ノシリコン合金、31 a 及31 b はベッド帽子、32はポンディング・ワイヤ、33は対止枠、34はろう材、36は甲導体メモリ鉄道。36は配慮基板、37はスケーホール、38は単田、89は爆離モ示す。

化三人 计三士 松 同 安全地位

以上説明したように本発明の構造を有する半導体装置は、配離新年上に立てて実体することがで まる。そとで第4回に示すような配離基板上への 変数を出せる場合の

実装方伝が可能であり、因から 4 何らかなように 従来の干団実装署点に比べて実装管書を大幅に向 上せしめることができる。

従って本発明は計算機システム等の高速化、小 硬化に対して有効である。

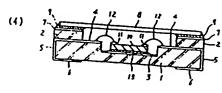
4. 四数の簡単な説明

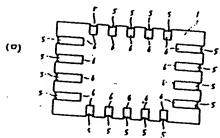
(4) 発明の効果

第1回は従来審定の新面割们及び下面即向、第 2回は従来の実践構造の新面積実態、第3回は本 発明の半導体機度に於ける一実施例の上回割付。 質面即向。A - A ' 矢板新面割付。下面部付で、 第4回は本発明の半導体装置に於ける一実施例の 上面割付及び側面割向である。

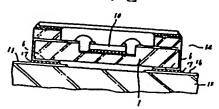
四に於て、21はビン状外部導電烙子(関省信号地子)、22は被請状外部導電炉子(共通信号地子)、23はセラミック・テップ・キャリア、24は半導体メモリ・テップ、25は全員キャッ

* 1 Ø





* 2 @



į :

CODAYCE:

